

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-070552

(43)Date of publication of application : 22.04.1985

(51)Int.Cl.

G11B 20/10

G11B 15/46

(21)Application number : 58-178989

(71)Applicant : TRIO KENWOOD CORP

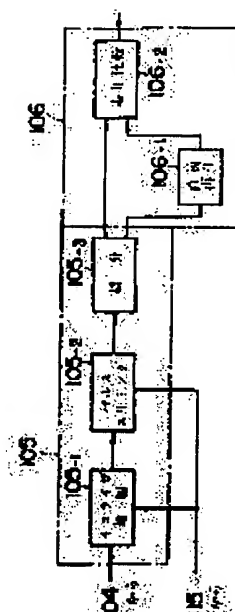
(22)Date of filing : 27.09.1983

(72)Inventor : KURATA HIROTAKE

**(54) MAGNETIC RECORDING AND REPRODUCING SYSTEM****(57)Abstract:**

**PURPOSE:** To reproduce and detect a recorded waveform faithfully even if the contents of sampling frequency information are changed by controlling the frequency characteristics of an equalizing circuit in accordance with sampling frequency information.

**CONSTITUTION:** A signal detected by a magnetic head is supplied from an amplifier 104 to a waveform equalizing circuit 105 and a waveform shaping circuit 106. The circuit 105 consists of an equalizer amplifier 105-1 changing frequency characteristics on the basis of the contents of a signal from a control signal generating circuit 115, i.e. a sampling frequency discriminating code, and smoothing the frequency, a pulse slimming circuit 105-2 narrowing pulse width and an integrating circuit 105-3. On the other hand, the circuit 106 consists of a DC reproducing circuit 106-1 and a voltage comparator 106-2. Since the output of the circuit 105 is shaped in terms of waveform by comparing the output with an output from the circuit 106-1, the waveform is surely shaped even if the DC level is changed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-70552

⑬ Int.Cl.

G 11 B 20/10  
15/46

識別記号

庁内整理番号

6733-5D  
E-7426-5D

⑭ 公開 昭和60年(1985)4月22日

審査請求 未請求 発明の数 1 (全22頁)

⑮ 発明の名称 磁気記録再生方式

⑯ 特 願 昭58-178989

⑰ 出 願 昭58(1983)9月27日

⑱ 発 明 者 倉 田 裕 隆

東京都渋谷区渋谷2丁目17番5号 トリオ株式会社内

⑲ 出 願 人 トリオ株式会社

東京都渋谷区渋谷2丁目17番5号

⑳ 代 理 人 弁理士 砂子 信夫

明 細 書

1. 発明の名称

磁気記録再生装置

2. 特許請求の範囲

アナログ信号をPCM符号に変換して磁気記録媒体に記録し、記録PCM符号を検出してアナログ信号に再生する磁気記録再生装置において、磁気記録媒体に記録させるトラック数、フレームを構成するトラック配置およびトラック当りのワード数を変え、記録のときサンプリング周波数に応じて磁気記録媒体の走行速度および信号処理系の信号処理速度を制御するとともに、磁気記録媒体にサンプリング周波数に対応したサンプリング周波数情報と磁気記録媒体の走行速度基準情報とを記録し、再生のとき磁気記録媒体に記録されているサンプリング周波数情報にしたがって磁気記録媒体から検出したデータを等化する等化回路の周波数特性、磁気記録媒体の走行速度お

よび信号処理系の信号処理速度を制御するようにしてなることを特徴とする磁気記録再生装置。

3. 発明の詳細な説明

本発明は固定ヘッドを備え、異なるサンプリング周波数で符号化されたPCM信号を同一信号処理系で処理し得るようにした磁気記録再生装置に関する。

複数の固定ヘッドを備えて音声信号を変換したPCM信号を記録、再生する磁気記録再生装置において、入力信号を標本化する際のサンプリング周波数については種々のものが存在し、サンプリング周波数に統一はない。

異なる周波数でサンプリングされ符号化されたPCM信号を同一伝送系および信号処理系で処理し得れば極めて好都合である。

(発明の目的)

本発明は上記にかんがみなされたもので、サンプリング周波数の差異にかかわらず、同一信号処理系で処理し得る磁気記録再生装置を提供することを目的とする。

## (発明の構成)

本発明はアナログ信号をPCM符号に変換して磁気記録媒体に記録し、記録PCM符号を検出してアナログ信号に再生する磁気記録再生装置において、磁気記録媒体に記録させるトラック数、フレームを構成するトラック配置およびトラック当りのワード数を変えることなく、記録のときサンプリング周波数に応じて磁気記録媒体の走行速度および信号処理系の信号処理速度を制御するとともに、磁気記録媒体にサンプリング周波数に対応したサンプリング周波数情報と磁気記録媒体の走行速度基準情報とを記録し、再生のとき磁気記録媒体に記録されているサンプリング周波数情報にしたがって磁気記録媒体から検出したデータを等化する等化回路の周波数特性、磁気記録媒体の走行速度および信号処理系の信号処理速度を制御することを特徴とするものである。

-1~4-3はローパスフィルタ3-1~3-3と同様に構成してある。

ローパスフィルタ3-1~3-3の出力はサンプリング周波数に対応した切替信号により切替えられる切替スイッチ回路S1に供給し、サンプリング周波数に対応してローパスフィルタ3-1、3-2、3-3の出力中の1つを選択して利得可変のバッファ増幅器5に供給し、バッファ増幅器5の出力はサンプルアンドホールド回路7に供給してある。同様にローパスフィルタ4-1~4-3の出力はサンプリング周波数に対応した切替信号により切替えられる切替スイッチ回路S2に供給し、サンプリング周波数に対応してローパスフィルタ4-1、4-2、4-3の出力中の1つを選択して利得可変のバッファ増幅器6に供給し、バッファ増幅器6の出力はサンプルアンドホールド回路8に供給してある。

バッファ増幅器5および6はサンプリング周波数に対応してその利得が切替制御される。

サンプルアンドホールド回路7、8の出力はそれぞれ各別にA/D変換器9、10に供給してあ

以下、本発明を実施例により説明する。

第1図(a)、(b)および(c)は本発明の一実施例の構成を示すブロック図であり、第1図(a)は記録系を、第1図(b)および(c)は再生系をそれぞれ示しており、磁気テープ駆動系は同一であり再生系にのみ示してある。

本発明の一実施例において、2チャンネルのアナログ音声信号をPCM符号に変換して記録再生する場合を例に説明する。

まず記録系について説明する。入力端子INL、INRにそれぞれ供給された左、右チャンネルのアナログ音声信号はバッファ増幅器1、2にそれぞれ供給し、バッファ増幅器1の出力は折り返し雑音を防止するためのローパスフィルタ3-1~3-3に供給してある。ローパスフィルタ3-1~3-3はそれぞれサンプリング周波数 $f_{s1}$ 、 $f_{s2}$ 、 $f_{s3}$ (たとえば4.8kHz、44.1kHz、32kHz)に対応してその通過帯域特性が設定してある。同様にバッファ増幅器2の出力は同様にローパスフィルタ4-1~4-3に供給してある。ローパスフィルタ4

る。A/D変換器9、10の出力は記憶回路13に供給して記憶させる。記憶回路13に記憶されたデータは所定の順序でP検査ワード発生器11及びQ検査ワード発生器12に送られ、P検査ワード及びQ検査ワードを演算発生し、発生されたP検査ワード及びQ検査ワードを記憶回路13に供給して記憶させる。そして読み出し順序を変更することによりPCM符号をインタリーブする。ここでP検査ワード発生器11及びQ検査ワード発生器12へ記憶回路13からデータを転送させるアドレス発生回路及びP検査ワード発生器11及びQ検査ワード発生器12から記憶回路13へ転送するためのアドレス発生回路および記憶回路13の書き込みアドレス発生回路および読み出しアドレス発生回路は省略してある。

一方、19はサンプリング周波数に対応してシステム制御回路14から出力される制御信号を受けてサンプリング周波数に対応したサンプリング周波数情報としての識別符号、たとえば $f_{s1} = 4.8\text{kHz}$ に対しては“01”の、 $f_{s2} = 44.1\text{kHz}$ に対

しては“10”の、 $f_{s3} = 32 \text{ kHz}$  に対しては“11”の識別符号を出力するサンプリング周波数識別符号発生回路であり、20はシステム制御回路14から出力される制御信号を受けてサブ符号、たとえばPCM符号に対応する曲番号に対応させた符号PCM符号のビット数を示す符号および時間等に対応させた符号を出力するサブ符号発生回路である。

サンプリング周波数識別符号発生回路19の出力はエラー訂正符号を発生し識別符号に付加するエラー訂正符号発生回路21に供給し、エラー訂正符号発生回路21の出力およびサブ符号発生回路20の出力はセクタ22に供給して時間的に選択のうえ記憶回路13に供給して記憶させる。

記憶回路13から読み出したデータはデマルチプレクサ25に供給し、記録部30-1~30-17に配分供給してある。本実施例においては磁気ヘッドが18トラックを有する場合を示しており、記録磁気ヘッドを40-1~40-18と記し、再生磁気ヘッドを50-1~50-18と記し同一サファイ

30-2~30-17の出力はそれぞれ各別に磁気ヘッド40-2~40-17に供給してある。

したがって同期符号、インタリーブされたPCM符号およびCRC符号を変調した信号が磁気ヘッド40-1~40-12に供給され、同期符号、P検査ワードおよびCRC符号を変調した信号が磁気ヘッド40-13、40-14に供給され、同期符号、Q検査ワードおよびCRC符号を変調した信号が磁気ヘッド40-15、40-18に供給され、同期符号、サンプリング周波数識別符号、サブ符号およびCRC符号を変調した信号が磁気ヘッド40-17に供給されることになる。

磁気ヘッド40-18に供給する信号については後述する。

システム制御回路14はキースイッチ15から供給されたサンプリング周波数指定信号により、サンプリング周波数に対応して定めた切替信号を切替スイッチ回路S1、S2におよび利得切替信号としてバッファ増幅器5、6に供給する。システム制御回路14はサンプリング周波数に対応して定

メックスの磁気ヘッドは対応している。

デマルチプレクサ25から出力されたインタリーブされたPCM符号は記録部30-1~30-12に、P検査ワードは記録部30-13、30-14に、Q検査ワードは記録部30-15、30-16に、サンプリング周波数識別符号およびサブ符号とは記録部30-17にそれぞれ供給してある。

記録部30-1はデマルチプレクサ25からの出力を受けてCRC符号を発生するCRC符号発生回路31-1、フレーム同期符号を発生するフレーム同期符号発生回路32-1、セクタ33-1、記録のための変調をする変調器34-1、記録増幅器35-1を備えており、フレーム同期符号発生回路32-1の出力、デマルチプレクサ25の出力およびCRC符号発生回路31-1の出力はセクタ33-1に供給して順次出力して変調器34-1に供給し、変調する。変調器34-1の出力は記録増幅器35-1に供給し、増幅器34-1の出力は磁気ヘッド40-1に供給してある。記録部30-2~30-17は記録部30-1と同様に構成してあり、記録部

めた制御信号をマスタ発振器16、タイミングパルス発生器17、テープ走行基準信号発生器18、サンプリング周波数識別符号発生回路19、後述するテープ走行参照信号発生器102および再生記録切替スイッチ28-1を介して速度参照電圧発生器153に供給する。

またシステム制御回路14はキースイッチ15から供給されたサブ符号指定信号によりサブ符号発生信号を供給する。

制御信号を受けたマスタ発振器16はサンプリング周波数に対応した周波数の発振をする。タイミングパルス発生器17はマスタ発振器16の出力とシステム制御回路14からの制御信号とを受けて指定されたサンプリング周波数 $f_{s1}$ 、 $f_{s2}$ または $f_{s3}$ の出力をサンプルアンドホールド回路7および8に出力するとともに、サンプリング周波数に対応した所定のタイミングパルスをA/D変換器9および10、P検査ワード発生回路11およびQ検査ワード発生回路12、記憶回路13の書き込みアドレス発生器および読み出しアドレス

発生器、マルチプレクサ25、CRC符号発生回路31-1~31-17、フレーム同期符号発生回路32-1~32-17、セクタ33-1~33-17、変調器34-1~34-17、サンプリング周波数識別符号発生回路19、サブ符号発生回路20、エラー訂正符号発生回路21、セクタ22に供給する。

システム制御回路14からの制御信号とマスタ発振器16の出力を受けたテープ走行基準信号発生回路18はサンプリング周波数に比例した周波数のテープ走行基準信号を出力し、テープ走行基準信号は記録増幅器26に供給する。記録増幅器26の出力は磁気ヘッド40-18に供給してある。

23および24は非伝送ビット“0”にする非伝送ビット制御回路であり、たとえばA/D変換器9および10の出力がたとえば16ビットのときにおいて、14ビットの伝送をするときA/D変換器9および10の出力の下位2ビットを削除し、A/D変換器9および10の下位2ビットの

出力に相当するビットのところに“0”を挿入するように構成してあり、キースイッチ15からのワード当りのビット数指示信号を受けたシステム制御回路14の出力で制御される。

つぎに磁気テープ46の走行系について説明する(第1図(b)参照)。システム制御回路14からの制御信号とマスタ発振器16の発振出力とを受けてテープ走行参照信号を発生するテープ走行参照信号発生回路102は比較回路41に供給し、比較回路41の出力はサーボ増幅器42に供給してある。サーボ増幅器42の出力は駆動回路43に供給してあり、駆動回路43の出力はキャプスタンモータ44に供給してあって、駆動回路43の出力によりキャプスタンモータ44を駆動する。45はキャプスタンである。キャプスタンモータ44にはパルスゼネレータ154が機械的に連結してあり、パルスゼネレータ154の出力は再生録音切替スイッチ28-2を介して比較回路41に供給してある。またパルスゼネレータ154の出力は再生録音切替スイッチ28-2を介して周

波数-電圧変換機155に供給してあり、周波数-電圧変換機155の出力および速度参照電圧発生器153の出力電圧はサーボ増幅器42に供給し、両者の電圧が一致し、かつ比較回路41の両入力の位相が一致するようにサーボ増幅器42でキャプスタンモータ44を制御する。

なお、再生録音切替スイッチは前記した再生録音切替スイッチ28-1、28-2以外は省略してある。

つぎに再生系について説明する。磁気ヘッド50-18で検出した信号は、サンプリング周波数に比例した周波数のテープ走行基準信号であり、増幅器100に供給してある。増幅器100の出力はテープ走行基準信号再生回路101に供給し、テープ走行基準信号再生回路101の出力は再生録音スイッチ28-2を介して比較回路41に供給してある。一方、後述するコントロール信号発生回路115からの出力はシステム制御回路14からの出力に代ってテープ走行参照信号発生回路102に供給してあり、コントロール信号発生回

路115からの出力は再生録音切替スイッチ28-1を介して速度参照電圧発生器153に供給してある。

103はサンプリング周波数識別符号およびサブ符号復調装置である。磁気ヘッド50-17で検出した信号は増幅器104に供給してある。磁気ヘッド50-17で検出した信号中にはサンプリング周波数識別符号およびサブ符号等が含まれている。増幅器104の出力は波形等化回路105に供給してあり、波形等化回路105の出力は波形整形回路106に供給してある。波形整形回路106の出力はビット同期検出回路107、フレーム同期検出回路108および復調器109に供給してある。

第2図は波形等化回路105、波形整形回路106の一例を示している。波形等化回路105はコントロール信号発生回路115からの信号すなわちサンプリング周波数識別符号の内容によってニアフェイズを保持しながら周波数特性を変えて磁気テープ信号伝送帯域内の周波数を平坦に

するイコライザ増幅器105-1と、サンプリング周波数識別符合の内容によって遅延回路の遅延時間を設定してイコライザ増幅器105-1の出力のパルス幅を必要とする幅まで狭ぼめる。パルススリミング回路105-2、パルススリミング回路105-2の出力を積分する積分回路105-3とからなっている。一方、波形整形回路106は波形等化回路105の出力信号から直流再生をするための直流再生回路106-1および波形等化回路105の出力と直流再生回路106-1の出力とを比較する電圧比較回路106-2とからなっている。

第3図はビット同期検出回路107を示している。ビット同期検出回路107は波形整形回路106の出力を受けてその出力のエッジ部発生のとき分周器107-4の出力から作った信号のエッジ部を抽出するエッジ抽出回路107-5と、波形整形回路106の出力のエッジとエッジ抽出回路107-5で抽出した分周器107-4の出力から作った信号のエッジとの位相を比較する位相比較回

路107-1、位相比較回路107-1の位相比較出力を増幅する誤差増幅器107-2、サンプリング周波数検知符合の内容によって自走周波数が制御されかつ誤差増幅器107-2の出力で発振周波数が制御される電圧制御発振器(VCO)107-3、VCO107-3の出力を分周する分周回路107-4からなるPLL回路で構成してある。

復調器109の出力およびビット同期検出回路107の出力はサンプリング周波数識別符合検出回路110に供給してあり、サンプリング周波数識別符合を検出する。識別符合検出回路110の出力はエラー訂正回路112に供給してあって、サンプリング周波数検知符合のエラー訂正をする。エラー訂正回路112の出力はサンプリング周波数識別符合を判別する符合判別回路113に供給し、符合判別回路113の出力はサンプリング周波数検知符合に対応する符合が少なくとも1回以上出力されたかを検出する検出回数カウンタ114およびN回以上出力されたかを検出してサンプリング周波数検知符合の内容に対応した出力

を発生するコントロール信号発生回路115に供給してある。コントロール信号発生回路115の出力は波形等化回路105、127-1~127-16、ビット同期検出回路107、129-1~129-16、制御回路116、マスタ発振器16、後述するデコータ148、D/A変換器142、143“0”セット151、152およびタイミングパルス発生回路118に供給してある。但しD/A変換器142、143および“0”セット151、152は制御回路124からコントロール信号を受ける方法もある。

第4図はコード判別回路113、検出回数カウンタ114およびコントロール信号発生回路115のブロック図を示している。

コード判別回路113はエラー訂正回路112からの出力をパラレルデータに変換するシリアル/パラレル変換器113-1、シリアル/パラレル変換器113-1の出力からサンプリング周波数fc1、fc2、fc3に対応するサンプリング周波数識別符合をそれぞれ判別するデータ検出回路113

-2~113-4とからなっている。データ検出回路113-2~113-4はそれぞれサンプリング周波数識別符合“01”、“10”、“11”の高電位側を端子G11側に、サンプリング周波数識別符合“01”、“10”、“11”を端子G12側にそれぞれ出力する。

検出回数カウンタ114はデータ検出回路113-2、113-3、113-4のそれぞれの端子G11側の出力を少なくとも1回カウントするカウンタ114-1、114-2、114-3、制御回路116から出力される強制的にテープ速度を指示するデータを受けてその立上りを検出しカウンタ114-1~114-3をリセットする立上り検出回路114-4とからなっているカウンタ114-1~114-3の出力はそれぞれコントローラ116へ供給する。

コントロール信号発生回路115はデータ検出回路113-2、113-3、113-4のそれぞれの端子G11側の出力をカウントするN進カウンタ115-1~115-3と、N進カウンタ115-1~

115-3がNカウントしたときの出力で切替えられ、切替スイッチ回路115-5~115-7と、切替スイッチ回路115-5~115-7を介して出力されたデータ検出回路113-2~113-4の端子G12側の出力をラッチするラッチ回路115-8とを備えている。コントロール信号発生回路115はまた、制御回路116からの再生指示パルスを受けるオア回路115-9~115-11、115-22を備えており、オア回路115-9にはさらにカウンタ115-2および115-3の出力が供給しており、オア回路115-10にはさらにカウンタ115-1および115-3の出力が供給しており、オア回路115-11にはさらにカウンタ115-1および115-2の出力が供給してあって、オア回路115-9~115-11の出力はそれぞれ各別にカウンタ115-1~115-3によりセット信号として供給して出力を発生していないカウンタをリセットする。カウンタ115-1~115-3の出力はオア回路115-12に供給し、オア回路115-12の出力は遅延回路115-13

に供給し、遅延回路115-13の出力はコントローラ116へ供給し、またラッチ回路115-8にラッチパルスとして供給するとともに、スイッチ回路115-14および115-15に切替信号として供給してラッチ回路115-8の出力をスイッチ回路115-14を介してコントロール信号発生回路115の出力として出力する。制御回路116から出力されたテープ速度を強制的に指示するデータはパターン検出回路115-16に供給し、パターン検出回路115-16に設定してパターンたとえば $f_s = 32 \text{ kHz}$ に対するパターンを検出し、パターン検出回路115-16の出力は状態カウンタ115-17に供給して2回カウント出力をコントローラ116および自動停止表示回路117に供給する。制御回路116からの再生指示パルスは微分回路115-18で微分した出力でカウンタ115-17をリセットする。

エラー訂正回路112からのエラー検出出力はオア回路115-19を介してロフリップフロップ回路115-20にクロックパルスとして供給し、

ロフリップフロップ回路115-20の出力はエラー回数をカウントするM進カウンタ115-21に供給する。エラー回数をM回カウントしたカウンタ115-21の出力はオア回路115-22に供給し、オア回路115-22の出力を微分回路115-23で微分し、この微分出力でラッチ回路115-8をリセットする。

一方、フレーム同期検出回路108で検出したフレーム同期出力と同じようにフレーム毎に発生する信号をロフリップフロップ回路115-20にリセット信号として供給してあり、状態カウンタをフレーム毎にリセットする。フレーム同期出力と同じようにフレーム毎に発生する信号を同時にアンド回路115-24に供給し、アンド回路115-24の出力は微分回路115-25で微分し、微分出力でカウンタ115-21をリセットし、フレーム毎にカウンタ115-21の出力をリセットさせる。一方、ロフリップフロップ回路115-20の出力を反転した出力はアンド回路115-24に供給してあって、エラーが検出され

ているときにフレーム毎に発生される信号によるカウンタ115-21のリセットを禁止する。

復調器109の出力、ビット同期検出回路107の出力（以下ビット同期信号）およびフレーム同期検出回路108の出力（以下フレーム同期信号）はサブ符合デコーダ119におよびCRC検出回路120に供給してあり、復調器109の出力からサブ符合を検出し、サブ符合はサブ符合レジスタ122に供給する。CRC検出回路120はサブ符合の誤りを検出して誤りが検出された時にはCRCポインタレジスタ121に誤っていることを示すポインタを供給し、CRCポインタレジスタ121はそのポインタを記憶するCRCポインタ121の出力はサブ符合レジスタ122に供給してCRCポインタレジスタにポインタが無ければサブ符合レジスタは誤り検査したサブ符合を制御回路124及び表示回路123に送り、ポインタが有ればポインタが立つ前の誤りが検出されなかったサブ符合を制御回路124および表示回路123に送る。サブ符合レジスタ



122の出力は表示回路123および制御回路124に供給してあって、サブ符合レジスタ122に置数されたサブ符合の内容を表示回路123で表示し、サブ符合の内容に応じて制御回路124を制御し、制御回路124の出力で、たとえば曲番号選択等を行なう。

また、タイミングパルス発生回路111は、ビット同期検出回路107で検出されたビット同期信号およびフレーム同期検出回路108で検出したフレーム同期信号を受けてフレーム同期検出回路108、復調器109、識別符合検出回路110、エラー訂正回路112、コード判別回路113、コントロール信号発生回路115にそれぞれ、ビット同期検出回路107の出力に対応したタイミングパルスを供給する。

また、磁気ヘッド50-1~50-18で検出した出力は再生部125-1~125-18にそれぞれ各別に供給してある。

再生部125-18は磁気ヘッド50-18からの検出出力を増幅する増幅器126-18増幅器

126-18の出力を等化する波形等化回路127-18、波形等化回路127-18の出力を整形する波形回路128-18、波形整形回路128-18の出力からビット同期信号、フレーム同期信号をそれぞれ検出するビット同期検出回路129-18、フレーム同期検出回路130-18、波形整形回路128-18の出力を復調する復調器131-18、ビット同期検出回路129-18で検出したビット同期信号およびフレーム同期信号検出回路130-18で検出したフレーム同期信号からタイミングパルスを発生するタイミングパルス発生回路132-18を備えており、これらは符合復調装置103と同様である。波形整形回路128-18の出力はCRC検出回路133-18に供給してある。一方、復調器131-18の復調出力はレジスタ134-18に供給してあって、レジスタ104-18はCRC検出回路133-18により誤り検査をしたデータを一時記憶すると共にCRC検出回路133-18から出力されるポイントをそのデータと対に記憶し記憶回路135-18へデータとポ

インタを送る。レジスタ134-18の出力は記憶回路136-18に、書き込みアドレス発生回路136-18により指定されたアドレスに順次記憶させるようにしてある。また再生部125-18には書き込みアドレス発生回路136-18の発生アドレスを受けて後述する読み出しアドレス発生回路138を制御して記憶回路136-18に書き込みを優先させる書き込み優先指示回路を備えている。タイミングパルス発生回路132-18はフレーム同期検出回路130-18、復調器131-18、CRC検出回路133-18、レジスタ134-18、書き込みアドレス発生回路136-18にそれぞれ、ビット同期検出回路129-18で検出したビット同期信号の周波数に対応したタイミングパルスを供給する。

再生部125-1~125-15は再生部125-18と同様に構成してあり、再生部12-1~125-12はそれぞれ磁気ヘッド50-1~50-12の検出出力を受け、記憶回路135-1~135-12にPCM符合を記憶し、再生部125

-13~125-18は磁気ヘッド50-13~50-18の検出出力を受け、記憶回路135-13~135-18にそれぞれP検査ワードデータ、Q検査ワードデータを記憶するようにしてある。

データ読み出し指示信号を発生しかつディンタリーブ制御信号を発生する読み出し指示信号発生回路139はそのデータ読み出し指示信号を読み出しアドレス発生回路138に供給し、読み出しアドレス発生回路138はサンプリング周波数に対応した周期で読み出しアドレスを記憶回路135-1~135-18に供給してある。記憶回路135-1~135-18から読み出したデータはディンタリーブ回路140に供給し、ディンタリーブ回路140に書き込まれたデータはエラー訂正回路156に所定の順序で取り込まれエラー訂正を受けディンタリーブ回路140でディンタリーブされてエラー訂正回路141へ供給される。

一方、タイミングパルス発生器118はコントロール信号発生回路115の出力およびマスタ発信器16の出力を受けて、読み出し指示アドレス

発生回路138、読み出し指示信号発生回路139、デインタリーブ回路140、エラー訂正回路156、エラー補正回路141、D/A変換器142、143、デグリッチャ144、145にそれぞれ、サンプリング周波数に対応したタイミングパルスを出力する。

エラー訂正回路156でエラー訂正しきれない状態の時はエラー補正回路141にて補正し、補正を必要としないときは補正せず、エラー補正回路141の出力の左側音声に対するPCM符合はD/A変換器142に供給し、右側音声に対するPCM符合はD/A変換器143に供給してある。D/A変換器142の出力はデグリッチャ144を介してローパスフィルタ146-1~146-3に供給してあり、D/A変換器143の出力はデグリッチャ145を介してローパスフィルタ147-1~147-3に供給してある。ここでローパスフィルタ146-1~146-3、147-1~147-3はサンプリング周波数に対応してその周波数特性が設定してある。

合の下位2ビットを“0”に設定する非伝送ビット設定器の出力が供給してある。

一方、非伝送ビット設定器151、152はコントロール信号発生回路115の出力を受けてコントロール信号発生回路115の出力がサンプリング周波数32kHzに対応する出力のとき、エラー訂正回路156におけるエラー訂正のときPCM符合の下位2ビットが“0”であるとさせるための設定器である。

コントロール信号発生回路115の出力はデコード148に供給してあって、デコード148の出力はローパスフィルタ146-1~146-3の出力の1つを選択する切替スイッチ回路S'1およびローパスフィルタ147-1~147-3の出力の1つを選択する切替スイッチ回路S'2に供給してあって、サンプリング周波数識別符合に対応してローパスフィルタ146-1~146-3の出力を選択し、ローパスフィルタ147-1~147-3の出力を選択する。

切替スイッチ回路S'1、S'2の出力はデコード148のデコード出力によりサンプリング周波数識別符合に対応して利得が切替えられる利得可変のバッファ増幅器149、150にそれぞれ供給して増幅のうえ、左、右チャンネルの出力端子OL、ORに供給してある。

またD/A変換器142および143にはコントロール信号発生回路115の出力を受けてコントロール信号発生回路115の出力がサンプリング周波数32kHzに対応する出力のときPCM符

#### (発明の作用)

以上の如く構成された本発明の一実施例において、1フレームのワード数Nwを8ワードとしかつPCM符合トラックを前記の如く12トラックとして作用を説明する。

まず記録系について説明する。

記録のときにおいては、キースイッチ15によりサンプリング周波数指示およびサブ符合の指示が行なわれ、システム制御回路14は切替スイッチ回路S1、S2にサンプリング周波数に対応した切替信号が出力されて切替スイッチ回路S1、S2はサンプリング周波数に対応して切替えられる。したがってサンプリング周波数が変わっても折り返し雑音が発生することもない。システム制御回路14はまたバッファ増幅器5、6にサンプリング周波数に対応した利得切替信号が出力されてバッファ増幅器5、6の利得がサンプリング周波数にしたがって切替えられる。したがってローパスフィルタ3-1、3-2、3-3の間の相矢の差異、ローパスフィルタ4-1、4-2、4-3の間の損

失の差異が補償されることになる。

一方、システム制御回路14からサンプリング周波数に対応して定められた制御信号を受けたマスタ発振器16はサンプリング周波数に対応した周波数の出力を発生し、この発振出力とシステム制御回路14からの制御信号とを受けたテープ走行基準信号発生器18はサンプリング周波数に比例した周波数のテープ走行基準信号を発生する。このテープ走行基準信号は増幅器26で増幅されたうえ、磁気ヘッド40-18に供給されて磁気テープに記録される。

また一方、記録のときは再生記録切替スイッチ28-1、28-2は第1図(b)に示す接点位置に切替えられている。システム制御回路14からの制御信号およびマスタ発振器16からの発振出力を受けたテープ参照信号発生回路102からはサンプリング周波数に対応した周波数の出力が出力され、システム制御回路14からの制御信号を受けた速度参照電圧発生器153からはサンプリング周波数に対応した速度参照電圧が出力される。ま

たパルスジェネレータ154の出力は再生記録スイッチ28-2を介して比較回路41に供給されるとともに周波数-電圧変換器155に供給される。最初磁気テープ46は走行していないため、比較回路41の一方の入力および周波数-電圧変換器155の出力電圧はなく、サーボ増幅器42の出力は最大となり、キャプスタンモータ44は最大トルクで駆動され、磁気テープ46は走行させられる。この走行によりパルスジェネレータ154は出力パルスが発生し、パルスジェネレータ154の出力は比較回路41に供給されテープ走行参照信号発生回路102の出力と位相比較され、パルスジェネレータ154の出力周波数は周波数-電圧変換器155により電圧に変換されてサーボ増幅器42に供給され、速度参照電圧発生器153の出力電圧との差電圧および位相比較器41の出力が加えられてサーボ増幅器42で増幅され、サーボモータ44はサンプリング周波数に対応した走行速度で磁気テープ46が駆動されることになる。

一方、入力端子INL、INRに供給された左、右チャンネルのアナログ音声信号はバッファ増幅器1、2により増幅され、ローパスフィルタ3-1~3-3、4-1~4-3に供給され、サンプリング周波数に対応して高域の制限がなされる。ローパスフィルタ3-1~3-3の出力、ローパスフィルタ4-1~4-3の出力は切替スイッチ回路S1、S2によりサンプリング周波数に対応してそれぞれその1つの出力が選択され、バッファ増幅器7、8で増幅される。この場合にバッファ増幅器7、8の利得はサンプリング周波数に対応しており、ローパスフィルタ3-1~3-3間の損失の差異およびローパスフィルタ4-1~4-3間の損失の差異が補償される。

バッファ増幅器5、6の出力はサンプルアンドホールド回路7、8に供給されて、キースイッチ15で指定された周波数のサンプリングパルスでサンプルアンドホールドされる。サンプルアンドホールド回路7、8の出力はA/D変換器9および10でPCM符合にそれぞれ各別に変換され記

憶回路13に記憶される。記憶回路13に記憶されたPCM符合は所定の順序に従ってP検査ワード発生回路11、Q検査ワード発生回路12に取り込み演算してP検査ワードおよびQ検査ワードが負荷されて、記憶回路13に記憶される。キースイッチ15によってPCM符合の非伝送ビット数を指定したときは非伝送ビット"0"制御回路23、24は制御回路14から伝送しないビット数の指示を受けそれに対応して非伝送ビットを"0"に制御する。この制御回路23、24はそれぞれP検査ワードの生成およびQ検査ワードの生成に非伝送ビットを"0"に制御してP検査ワードおよびQ検査ワードを演算させると共にPCM符合の非伝送ビットを"0"に制御する。

記憶回路13に記憶されたPCM符合はインターリーブされて読み出され、デマルチプレクサ25に供給され、記録部30-1~30-12に供給される。記憶回路13から読み出されたP検査ワード、Q検査ワードはデマルチプレクサ25に供給され、記録部30-13および30-14記録部30

-15 および 30-18 に供給される。

また一方、サイプリング周波数検知符合発生器 19 はシステム制御回路 14 からキースイッチ 15 により指定されたサイプリング周波数に対応した制御信号を受けてサイプリング周波数に対応した識別符合を出力し、この識別符合はエラー訂正符合発生回路 21 に供給されてエラー訂正符合が付加されセレクト 22 に供給される。また、サブ符合発生回路 20 はシステム制御回路 14 からキースイッチ 15 により指定された制御信号を受けてサブ符合を発生し、サブ信号はセレクト 22 に供給される。セレクト 22 に供給されたエラー訂正符合が付加された識別符合およびサブ符合は、セレクト 22 により選択され記憶回路 13 に記憶され、記憶回路 13 から読み出されたエラー訂正符合が付加された識別符合およびサブ符合はマルチプレクサ 25 に供給され、マルチプレクサ 25 により記録部 30-17 に供給される。

記録部 30-1~30-17 に供給された符合はフレーム同期符合、CRC 符合が付加され、所定の

変調が変調器 34-1~34-17 によりなされて、磁気ヘッド 40-1~40-17 により磁気テープ 46 上に、第 1 表に示すフォーマットの如く記録される。第 1 表において、W は左側チャンネルアナログ信号に対する PCM 符合を、W は右側チャンネルアナログ信号に対する PCM 符合を、P は P 検査ワードを、Q は Q 検査ワードを、B はサイプリング周波数識別符合を、S はサブ符合を示している。

また一方、タイミングパルス発生器 17 はシステム制御回路 14 からの制御信号およびマスタ発振器 16 の発振出力を受けサイプリング周波数に対応した各種タイミングパルスを発生し、このタイミングパルスは A/D 変換器 9 および 10、P 検査ワード発生回路 11、Q 検査ワード発生回路 12、記憶回路 13 の書き込みアドレス発生回路および読み出しアドレス発生回路、マルチプレクサ 25、CRC 符合発生回路 31-1~31-17、フレーム同期符合発生回路 32-1~32-17、セレクト 33-1~33-17、変調器 34-1~34-17

-17、サイプリング周波数識別符合発生回路 19、サブ符合発生回路 20、エラー訂正符合発生回路 21、セレクト 22 に供給され、かつサイプリングパルスがサンプルアンドホールド回路 7 および 8 に供給されるため、指定されたサイプリング周波数にしたがった信号処理速度で信号処理がなされることになる。

ここで、キースイッチ 15 によるサイプリング周波数の指定が変更された場合においても、磁気テープ 46 は新たに指定されたサイプリング周波数に対応した走行速度で駆動される。またローパスフィルタ 3-1~3-4、ローパスフィルタ 4-1~4-4、バッファ増幅器 5、6 の利得は新たに指定されたサイプリング周波数に対応して切替り、サンプルアンドホールド回路 7、8 は新たに指定された周波数のサイプリングパルスによってバッファ増幅器 5、6 の出力をサンプルアンドホールドする。またさらに、磁気ヘッド 40-18 により新たに指定されたサイプリング周波数に比例したテープ走行基準信号 15 磁気テープ 46 に記録され

る。一方、A/D 変換器 9 および 10、P 検査ワード発生回路 11、Q 検査ワード発生回路 12、記憶回路 13 の書き込みアドレス発生回路および読み出しアドレス発生回路、マルチプレクサ 25、CRC 符合発生回路 31-1~31-17、フレーム同期符合発生回路 31-1~32-7、セレクト 33-1~33-17、変調器 34-1~34-17、サイプリング周波数識別符合発生回路 19、サブ符合発生回路 21、セレクト 22 は、タイミングパルス発生器 17 から出力される、新たに指定されたサイプリング周波数に対応した各種タイミングパルスにより動作させられるために、第 1 表に示す記録フォーマットに変化はなく、かつ記録最小波長にも変化はないため、記録・再生に支障が生ずることは無い。

また第 1 表に示す記録フォーマットの場合、サイプリング周波数が  $f_{s1} = 4.8 \text{ kHz}$  のとき 1 フレームには 1 msec 分の PCM 符合が収納され、 $f_{s2} = 4.4 \text{ kHz}$  のとき 1 フレームには 1.60 / 1.47 msec 分の PCM 符合が、 $f_{s3} = 3.2 \text{ kHz}$  の

とき1フレームには1.5 msec分のPCM符号が収納されることになる。

つぎに再生系の動作について説明する。

再生に切替えたとき、すなわちキースイッチ15により再生を指示したときはシステム制御回路14に再生の指示がなされる。再生記録切替スイッチ28-1~28-3は再生指示と同期してシステム制御回路14の出力により再生例、すなわち第1図(b)に示した接点位置から切替えられる。一方、キースイッチ15の再生指示出力は制御回路116に供給され再生指示がなされる。この時点では磁気テープ46はまだ駆動されていない。再生指示がなされた制御回路116からは、再生指示パルスがオア回路115-9~115-11、115-22に供給され、また同時にサンプリング周波数44.1kHzに対応した識別符号が所定期間(t1)、強制的にスイッチ回路115-15に供給される。前者の再生指示パルスによりカウンタ115-1~115-3、115-17、ラッチ回路115-8はリセットされ、後者の識別符号の立

上り検出回路114-4で検出されこの検出出力によってカウンタ114-1~114-3がリセットされる(第5図のステップa)。また後者の識別符号はスイッチ回路115-15を介してコントロール信号発生回路115の出力として出力される。この出力はテープ走行参照信号発生回路102にシステム制御回路14の制御信号に代って供給され、また速度参照電圧発生器153に再生記録切替スイッチ28-1を介して供給され、同時にマスタ発振器16にシステム制御回路14の制御信号に代って供給される。この結果、マスタ発振器16はサンプリング周波数識別符号に対応するサンプリング周波数に対応した周波数の発振をする。コントロール信号発生回路115の出力およびマスタ発振器16の発振出力を受けたテープ走行参照信号発生回路102はサンプリング周波数に対応した周波数の出力を発生し、コントロール信号発生回路115の出力を受けた速度参照電圧発生器153はサンプリング周波数に対応した電圧の出力を発生する。しかるにキャプスタンモ-

ータ44は停止した状態でテープ走行基準信号再生回路101も出力を発生していない。これは記録時のパルスゼネレータ154からの信号が基準信号再生回路101の出力に置き代った状態であり、記録開始の場合と同様にキャプスタンモータ44は最大トルクで回転駆動され、磁気テープ46は走行を開始する。キャプスタンモータ43が回転駆動されたことによりテープ走行基準信号再生回路101は磁気ヘッド50-18が検出した出力を増幅し再生した出力を発生する。テープ走行基準信号再生回路101の出力はスイッチ28-2を介して比較回路41および周波数-電圧変換器155に供給される。この結果キャプスタンモータはテープ走行参照信号発生回路102の出力に位相同期しかつ速度参照電圧発生器153の出力電圧と周波数-電圧変換器155の出力との差が常電圧に収束するように常にキャプスタンモータ44が制御されるサンプリング周波数に対応した回転速度で回転駆動させられる。またコントロール信号発生器115の出力が他のサンプリング周

波数識別符号の出力を発生した場合もそのサンプリング周波数識別符号の内容に対応した回転速度でキャプスタンモータ44は回転し、磁気テープ46はサンプリング周波数に対応した走行速度で走行する。

そこでステップaに引続いて期間t1サンプリング周波数 $f_s2 = 44.1\text{kHz}$ に対応した速度に磁気テープ46の走行速度で駆動される(ステップb)。磁気ヘッド50-17で検出した出力は増幅器104にて増幅され、増幅出力は波形等化回路105においてサンプリング周波数44.1kHzの識別符号の内容に定着して等化され、波形整形回路106において波形整形される。ここでイコライザ増幅器105-1は増幅器104から供給される信号の所要周波数占有帯域の周波数特性を平坦化する回路であり、パルススリミング回路105-2はイコライザ増幅器105-1から供給された信号のパルス幅を必要とする幅まで狭くする回路である増幅器104から供給される信号の所要占有帯域やイコライザ増幅器105-1の出力信号のパル

ス幅はサンプリング周波数が異なれば、変化するためコントロール信号発生回路115からのコントロール信号でイコライザ増幅器の周波数特性やパルススリミング回路105-2を構成する遅延回路の遅延時間をサンプリング周波数識別符号の内容に応じて可変してやる。また積分回路105-3を設けてあるのは磁気テープの記録時の特性が微分特性を呈するためであって、パルススリミングしたのち積分して前記微分特性を補償するためである。また波形整形回路に直流再生回路106-1を設けてあるのは積分回路105-3の出力信号の正の半波と負の半波の直流レベルを比較していわゆる直流レベル再生を行なわせるためである。波形整形回路106において波形等化回路105の出力は直流再生回路106-1との比較によって波形整形されるため直流レベルの変動があっても確実に波形整形されることになる。

波形整形回路106の出力からビット同期検出回路107、フレーム同期検出回路108によってビット同期信号、フレーム同期信号が検出され

る。ビット同期信号の検出は第3図に示す如く波形整形回路106の出力のエッジとVCO107-3の出力を分周した分周器107-4から作った信号エッジとを位相比較して検出する。なおVCO107-3の自走周波数はサンプリング周波数識別符号によって切替えられる。

ビット同期信号およびフレーム同期信号が供給されて、波形整形回路106の出力は復調器109により復調される。この復調出力はサンプリング周波数識別符号およびサブ符号であり、エラー訂正回路112で誤り訂正がなされ、シリアル/パラレル変換器113-1に供給されてパラレルデータに変換され、データ検出回路113-2~113-3に供給される。いま仮に復調されたサンプリング周波数識別符号が44.1kHzのサンプリング周波数に対応しているものとすれば、データ検出回路113-2の端子G11に出力が発生しカウンタ114-1はそれを少なくとも1回は計数し出力αを発生する。出力αを受けた制御回路116はサンプリング周波数 $f_{s2} = 44.1\text{kHz}$ のデータを所

定期間(t1)内に少なくとも1回検知したとし(ステップc)、制御回路116は出力αを受けたときから所定期間(t2)、テープ走行参照信号発生回路102および速度参照電圧発生器153にサンプリング周波数44.1kHzに対応する符号の出力をスイッチ回路115-15を介して供給する。この結果磁気テープ46の速度は所定期間(t2)、 $F_{s2} = 44.1\text{kHz}$ に対応するテープ走行速度に固定される(ステップd)。この所定期間(t2)内にカウンタ115-1がサンプリング周波数44.1kHzの識別符号を計数したときには、カウンタ115-1は出力を発生する。カウンタ115-1のこの出力により切替スイッチ回路115-5は切替えられてデータ検出回路113-2の端子G12からの出力すなわちサンプリング周波数44.1kHzの識別符号はラッチ回路115-8に供給される。一方カウンタ115-1の出力はオア回路115-10、115-11を介してカウンタ115-2、115-3をリセットすると同時に、オア回路115-12を介して遅延回路115-13に供給

される。遅延回路115-13はこれを受けてOR回路115-12から供給された信号よりも所定の時間遅れた信号をその出力に発生する制御回路116には遅延回路115-13の出力信号が供給されサンプリング周波数44.1kHzの検知符号がN回検知された状態を知らせる(ステップe)。遅延回路115-13の出力はラッチ回路115-8にも供給されたデータ検出回路113-2の端子G12からの出力はラッチ回路115-8においてラッチされる。同時に遅延回路115-13の出力によってスイッチ回路115-14、115-15は切替えられて、ラッチ回路115-8のラッチ出力すなわちサンプリング周波数44.1kHzの識別符号が制御回路116からの出力に代ってテープ走行参照信号発生回路102および速度参照電圧153に供給され、磁気テープ走行速度はサンプリング周波数 $f_{s2} = 44.1\text{kHz}$ に対応した速度に制御される(ステップf)。

一方、エラー訂正回路112からのエラー検出出力はオア回路115-18を介してロフリップフ

ロップ115-20に供給され、ロプリップフロップ115-20の出力はカウンタ115-21で計数されて、 $F_{s2} = 44.1\text{kHz}$ のサンプリング周波数の識別符号の訂正回数が監視されている(ステップg)。エラー検出出力がM回検出されるとカウンタ115-21は出力を発生し(ステップh)、カウンタ115-21の出力は制御回路116へ供給されて自動再生は停止され、同時にカウンタ115-21の出力は自動停止表示回路117に供給されて自動再生停止が表示される(ステップi)。同時にカウンタ115-21の出力はオフ回路115-22、積分回路115-23を介してラッチ回路115-8に供給され、ラッチ回路115-8はリセットされる。一方、ステップhにおいてエラー検出回路112のエラー検出が無いときまたはM回に達するまではステップf~hを繰返して磁気テープの走行速度は44.1kHzのサンプリング周波数に対応した速度に制御される。

なお上記は磁気ヘッド50-17によってサンプリング周波数44.1kHzの識別符号が検出された場

合である。磁気ヘッド50-17によってサンプリング周波数44.1kHzの識別符号が検出されないときはステップCからサンプリング周波数32kHzの識別符号を検出しているかすなわちカウンタ114-3の出力を検出し(ステップC2)、サンプリング周波数32kHzの識別符号が検出されたときはステップC2に引き続いてステップd2、e2、f2、g2、h2、iが実行される。これはステップd、e、f、g、h、iと同様である。またステップC2においてサンプリング周波数32kHzの識別符号が少なくとも1回検出されなかったとき、またはステップeにおいてサンプリング周波数44.1kHzの識別符号がN回検出されなかったときは、ステップC2に続いて、またはステップeに続いて磁気テープの走行速度をサンプリング周波数48kHzに対応する速度に所定期間(t1)設定し(ステップb1)、ステップC1において所定期間(t1)内にサンプリング周波数48kHzの識別符号を少なくとも1回検出したとき(ステップC1)、引き続いてステップd1、e1、f1、g1、iが実行され

る。ステップC1においてサンプリング周波数48kHzの識別符号を所定期間(t1)内に1回も検出されないとき、またはステップe1において所定期間(t2)内にサンプリング周波数48kHzの識別符号をN回検出されないときは、ステップC1、またはステップe1に引き続いて、制御回路116はコントロール信号発生回路115の出力信号としてサンプリング周波数32kHzに対応する符号を所定期間(t1)出力し(ステップb2)、所定期間(t1)内にサンプリング周波数32kHzの検出符号が少なくとも1回検出されたとき(ステップj)は、引き続いてステップd2を実行する。ステップjにおいてサンプリング周波数32kHzの識別符号が1回も検出されなかったとき、またはステップe2において所定期間(t2)内にN回サンプリング周波数32kHzの識別符号が検出されなかったときは、ステップkが実行される。すなわち制御回路116から供給されたサンプリング周波数32kHzに対応した符号は、パターン検出回路115-16で検出され、カウンタ115-17で計

数されている。カウンタ115-17の計数値が“2”すなわち同じ操作を2回繰返してもサンプリング周波数識別符号が期待しただけ検出されなかった時はステップiが実行され、カウンタ115-17の計数値が“2”未満のときは再びステップ6が実行される。

以上の如く、磁気テープ46の走行速度は制御されて、磁気ヘッド50-17で検出されたサンプリング周波数識別符号の内容すなわちサンプリング周波数に対応した速度に制御される。

コントロール信号発生回路115の出力は波形等化回路105、ビット同期検出回路107、マスタ発振器16、タイミングパルス発生回路118に供給されているため、波形等化回路105の周波数特性、ビット同期検出回路107のVCO107の-3の目定周波数、マスタ発振器16の発振周波数、タイミングパルス発生回路118から出力されるタイミングパルスはサンプリング周波数に対応して切替えられることになる。

また、復調器109の出力は、ビット同期信号およびフレーム同期信号とともにサブ符号デコーダ119およびCRC検出回路120に供給され、復調器109の出力中のサブ符号はサブ符号デコーダ119でデコードされ、デコード出力はサブ符号レジスタ122に置数される。またサブ符号中の誤りはCRC検出回路120で検出され、そこで立てられたポインタはCRCポインタレジスタ121に供給される。CRCポインタ121はサブ符号レジスタ122にコントロール信号を送りCRCポインタレジスタ121の中にポインタが存在する時は、そのポインタが立つ前のサブ符号レジスタ122から出力する。またCRCポインタレジスタ121にポインタが存在しない時はCRC検出回路120で検査したサブ符号をサブ符号レジスタ122から出力する。またCRCポインタレジスタ121からはエラー訂正回路112にもコントロール信号を送り、CRCポインタレジスタ121にポインタが存在しない時はエラー訂正回路112にエラー訂正動作をさ

せないようなコントロール信号を送りポインタが存在する時はエラー訂正回路112にエラー訂正動作をさせるコントロール信号を送る。

ビット同期検出回路107で検出したビット同期信号およびフレーム同期検出回路108で検出したフレーム同期信号を受けたタイミングパルス発生回路111からはビット検出回路107で検出したビット同期信号に対応した各種タイミングパルスが出力され、フレーム同期検出回路108、復調器109、識別符号検出回路110、エラー訂正回路112、符号判別回路113、コントロール信号発生回路115はビット同期検出回路107で検出されたビット同期信号に対応して動作させられる。

一方、磁気ヘッド50-18により検出された符号は増幅器126-18により増幅され、波形等化回路127-18により等化され、波形等化回路127-18の出力は波形整形回路128-18で波形整形される。波形整形回路128-18の出力はビット同期検出回路129-18、フレーム同期検

出回路130-18にてビット同期信号、フレーム同期信号が検出され、復調器131-18で復調される。復調器131-18の出力はレジスタ134-18に置数される。また波形整形回路128-18の出力はフレーム毎にCRC検出回路133-18にて誤りのチェックが行なわれ、CRC検査をした結果誤りが検出された時はポインタを立てレジスタ134-18にポインタを出力する。ポインタはレジスタ134-18にCRC検査をしたPCM符号と共に記憶するレジスタ134-18の置数値は書き込みアドレス発生回路136-18のアドレス指定にしたがって記憶回路135-18に記憶される。また書き込みアドレス発生回路136-18の書き込みアドレス発生タイミング信号は書き込み優先指示回路137-18に供給されて読み出しアドレス発生回路138からの読み出し指示時と書き込みアドレス発生回路136-18からの書き込み指示時とが競合したときは書き込みが優先させられる。

またビット同期検出回路129-18で検出した

ビット同期信号およびフレーム同期検出回路130-18で検出したフレーム同期信号を受けたタイミングパルス発生回路132-18からはビット同期検出回路129-18で検出したビット同期信号に対応した各種タイミングパルスが出力され、フレーム同期検出回路130-18、復調器131-18、CRC検出回路133-18、レジスタ134-18はビット同期信号に対応して動作させられ、書き込みアドレス発生回路136-18のアドレス信号が出力させられる。

また、再生部125-1~125-15の作用も再生部125-18の作用と同様である。

読み出し指示信号発生回路139は、サンプリング周波数識別符号の内容にしたがったマスタ発振器16の発振出力を受けて、読み出し指示信号を読み出しアドレス発生回路138に供給する。読み出し指示信号を受けた読み出しアドレス発生回路138からは読み出しアドレスが記憶回路135-1~135-18に供給され、記憶回路135-1~135-18の記憶データは読み出され



てデインタリーブ回路140に書き込まれる。デインタリーブ回路140に書き込まれたデータはエラー訂正回路156でエラー訂正されデインタリーブ回路140にてデインタリーブされて読み出される。デインタリーブされたPCMデータはエラー訂正回路156で訂正できなかった時エラー補正回路141でエラー補正を受ける。エラーが無かった時またはエラー訂正できた時はそのまま、左チャンネル音声のPCM符号はD/A変換器142に供給されてアナログ信号に変換され、右側チャンネル音声のPCM符号はD/A変換器143に供給されてアナログ信号に変換される。

D/A変換器142から出力されたアナログ信号はデグリッチャ144に、D/A変換器143から出力されたアナログ信号はデグリッチャ145に供給されてグリッチが除去され、デグリッチャ144の出力はローパスフィルタ146-1~146-3に供給され、デグリッチャ145の出力はローパスフィルタ147-1~147-3に供給される。ローパスフィルタ146-1~146-3の

出力は切替スイッチ回路S1'によりその1つが選択され、バッファ増幅器149で増幅されて出力端子OLに供給され、再生された左側チャンネル音声信号が出力される。ローパスフィルタ147-1~147-3の出力は切替スイッチ回路S2'によりその1つが選択され、バッファ増幅器150で増幅されて出力端子ORに供給され、再生された右側チャンネル音声信号が出力される。

一方、コントロール信号発生回路115の出力はデコード148に供給されてデコードされ、このデコード出力により切替スイッチ回路S1'、S2'は切替えられ、バッファ増幅器149、150の利得が制御される。すなわちフィルタ146-1~146-3、147-1~147-3は磁気テープに記録されているPCM符号のサンプリング周波数に対応して切替えられることになり、D/A変換器142、143で変換されたアナログ信号の高域成分がサンプリング周波数に対応して除去され、またバッファ増幅器149、150の利得もサンプリング周波数に対応して切替えられ

ることになり、ローパスフィルタ146-1~146-3の損失の差異およびローパスフィルタ147-1~147-3の損失の差異が補償される。

コントロール信号発生回路115の出力およびマスタ発振器16の出力を受けたタイミングパルス発生回路118はサンプリング周波数に対応した各種タイミングパルスを発生して、読み出し指示アドレス発生回路138、読み出し指示信号発生回路139、デインタリーブ回路140、エラー訂正回路156、D/A変換器142、143、デグリッチャ144、145、エラー補正回路141に供給されるため、磁気テープ46に記録されたPCM符号のサンプリング周波数にしたがった信号処理速度で信号処理がなされることになる。

またコントロール信号発生回路115の出力は"0"セット回路151、152、D/A変換器142、143へ供給しあらかじめサンプリング周波数に応じて非伝送ビットが決められている場合は非伝送ビットに対応するビットを"0"にセ

ットする。

あらかじめサンプリング周波数に応じて非伝送ビットが決められていない場合は、サブ符号で送られてくる非伝送ビット数を表わす符号を制御回路124で判読し制御回路124から"0"セット回路151、152およびD/A変換器142、143へ図示していないコントロール信号を送り該当する非伝送ビットを"0"にセットする。

以上説明した如く本発明によれば、磁気記録媒体の移動速度を可変に構成し、磁気記録媒体に記録させるトラック数、フレームを構成するトラック当りのワード数を変えることなく、記録のときサンプリング周波数に応じて磁気記録媒体の走行速度および信号処理系の処理速度を制御するとともに磁気記録媒体上にサンプリング周波数に対応したサンプリング周波数情報を記録し、再生のとき磁気記録媒体に記録されているサンプリング周波数情報にしたがって磁気記録媒体の走行速度および信号処理系の処理速度を制御するため、サンプリング周波数の差異にかかわらず信号処理系を複数対設ける必要はなく、かつ最小記録波長をほぼ同一にでき良好な信号伝送が可能となる。

また同一のパーティティエック系を使用するため、サンプリング周波数にかかわらずエラ

訂正能力もほぼ同一にすることができる。

波形等価回路の周波数特性をサンプリング周波数情報により制御するようにしたために、サンプリング周波数情報の内容を変化させた場合でも記録波形を忠実に再生検知することができる。

第 1 表

トラック No.	N =																	
1	SYNC	W <sub>n</sub>	W <sub>n+6</sub>	W <sub>n+12</sub>	W <sub>n+18</sub>	W <sub>n+24</sub>	W <sub>n+30</sub>	W <sub>n+36</sub>	W <sub>n+42</sub>	CRD	SYNC							
2	-	W <sub>n+2</sub>	W <sub>n+8</sub>	W <sub>n+14</sub>	W <sub>n+20</sub>	W <sub>n+26</sub>	W <sub>n+32</sub>	W <sub>n+38</sub>	W <sub>n+44</sub>	-	-							
3	-	W <sub>n+4</sub>	W <sub>n+10</sub>	W <sub>n+16</sub>	W <sub>n+22</sub>	W <sub>n+28</sub>	W <sub>n+34</sub>	W <sub>n+40</sub>	W <sub>n+46</sub>	-	-							
4	-	W <sub>n+6</sub>	W <sub>n+12</sub>	W <sub>n+18</sub>	W <sub>n+24</sub>	W <sub>n+30</sub>	W <sub>n+36</sub>	W <sub>n+42</sub>	W <sub>n+48</sub>	-	-							
5	-	W <sub>n+8</sub>	W <sub>n+14</sub>	W <sub>n+20</sub>	W <sub>n+26</sub>	W <sub>n+32</sub>	W <sub>n+38</sub>	W <sub>n+44</sub>	W <sub>n+50</sub>	-	-							
6	-	W <sub>n+10</sub>	W <sub>n+16</sub>	W <sub>n+22</sub>	W <sub>n+28</sub>	W <sub>n+34</sub>	W <sub>n+40</sub>	W <sub>n+46</sub>	W <sub>n+52</sub>	-	-							
7	-	W <sub>n+12</sub>	W <sub>n+18</sub>	W <sub>n+24</sub>	W <sub>n+30</sub>	W <sub>n+36</sub>	W <sub>n+42</sub>	W <sub>n+48</sub>	W <sub>n+54</sub>	-	-							
8	-	W <sub>n+14</sub>	W <sub>n+20</sub>	W <sub>n+26</sub>	W <sub>n+32</sub>	W <sub>n+38</sub>	W <sub>n+44</sub>	W <sub>n+50</sub>	W <sub>n+56</sub>	-	-							
9	-	W <sub>n+16</sub>	W <sub>n+22</sub>	W <sub>n+28</sub>	W <sub>n+34</sub>	W <sub>n+40</sub>	W <sub>n+46</sub>	W <sub>n+52</sub>	W <sub>n+58</sub>	-	-							
10	-	W <sub>n+18</sub>	W <sub>n+24</sub>	W <sub>n+30</sub>	W <sub>n+36</sub>	W <sub>n+42</sub>	W <sub>n+48</sub>	W <sub>n+54</sub>	W <sub>n+60</sub>	-	-							
11	-	W <sub>n+20</sub>	W <sub>n+26</sub>	W <sub>n+32</sub>	W <sub>n+38</sub>	W <sub>n+44</sub>	W <sub>n+50</sub>	W <sub>n+56</sub>	W <sub>n+62</sub>	-	-							
12	-	W <sub>n+22</sub>	W <sub>n+28</sub>	W <sub>n+34</sub>	W <sub>n+40</sub>	W <sub>n+46</sub>	W <sub>n+52</sub>	W <sub>n+58</sub>	W <sub>n+64</sub>	-	-							
13	-	P <sub>n</sub>	P <sub>n+2</sub>	P <sub>n+4</sub>	P <sub>n+6</sub>	P <sub>n+8</sub>	P <sub>n+10</sub>	P <sub>n+12</sub>	P <sub>n+14</sub>	-	-							
14	-	P <sub>n+1</sub>	P <sub>n+3</sub>	P <sub>n+5</sub>	P <sub>n+7</sub>	P <sub>n+9</sub>	P <sub>n+11</sub>	P <sub>n+13</sub>	P <sub>n+15</sub>	-	-							
15	-	Q <sub>n</sub>	Q <sub>n+2</sub>	Q <sub>n+4</sub>	Q <sub>n+6</sub>	Q <sub>n+8</sub>	Q <sub>n+10</sub>	Q <sub>n+12</sub>	Q <sub>n+14</sub>	-	-							
16	-	Q <sub>n+1</sub>	Q <sub>n+3</sub>	Q <sub>n+5</sub>	Q <sub>n+7</sub>	Q <sub>n+9</sub>	Q <sub>n+11</sub>	Q <sub>n+13</sub>	Q <sub>n+15</sub>	-	-							
17	-	B <sub>n</sub>	S <sub>n</sub>	S <sub>n+1</sub>	S <sub>n+2</sub>	B <sub>n</sub>	S <sub>n</sub>	S <sub>n+1</sub>	S <sub>n+2</sub>	-	-							
18		テープ走行基準信号																

## 4. 図面の簡単な説明

第 1 図(a)、第 1 図(b)および第 1 図(c)は本発明の一実施例を示すブロック図であり、第 1 図(a)は記録系を、第 1 図(b)および第 1 図(c)は再生系を示している。

第 2 図は本発明の一実施例における等化回路および波形整形回路のブロック図。

第 3 図は本発明の一実施例におけるビット同期検出回路のブロック図。

第 4 図は本発明の一実施例における符号判別回路、検出回数カウンタおよびコントロール信号発生回路のブロック図。

第 5 図は本発明の一実施例の作用の説明に供する流れ図。

1、2、149 および 150 … バッファ増幅器、  
3-1 ~ 3-3、4-1 ~ 4-3、145-1 ~ 145-3  
および 147-1 ~ 147-3 … ローパスフィルタ、  
7 および 8 … サンプルアンドホールド回路、9 および 10 … A/D 変換器、11 および 12 … P および Q 検査ワード発生回路、13、135-1 ~

135-16…記憶回路、14…システム制御回路、  
16…マスタ発生器、17、111、118、  
132-1～132-16…タイミングパルス発生  
回路、18…テープ走行基準信号発生回路、19  
…サンプリング周波数識別符号発生回路、20…  
サブ符号発生回路、21…エラー訂正符号発生回  
路、22、33-1～33-17…セレクト、25  
…デマルチプレクサ、26、35-1～35-16  
…記録増幅器、28-1および28-2…再生記録  
切替スイッチ、30-1～30-17…記録部、  
31-1～31-16…CRC符号発生回路、32-1  
～32-17…フレーム同期符号発生回路、34-1  
～34-17…変調器、40-1～40-18および  
50-1～50-18…磁気ヘッド、41…比較回  
路、42…サーボ増幅器、44…キャプスタンモ  
ータ、45…キャプスタン、101…テープ走行  
基準信号発生回路、102…テープ走行参照信号  
発生回路、105、127-1～127-16…波  
形等化回路、106、128-1～128-16…  
波形整形回路、107、129-1～129-16

…ビット同期検出回路、108、130-1～  
130-16…フレーム同期検出回路、109、  
131-1～131-16…復調器、110…識別  
符号検出回路、113…符号判別回路、114…  
検知回改カウンタ、115…コントロール信号発  
生回路、116…制御回路、117…自動停止表  
示回路、136-1～136-16…巻き込みアド  
レス発生回路、138…読み出しアドレス発生回  
路、139…読み出し指示信号発生回路、140  
…デインタリーブ回路、142および143…  
D/A変換器、153…速度参照電圧発生器、  
154…パルスゼネレータ、155…周波数一電  
圧変換器、156…エラー訂正回路。

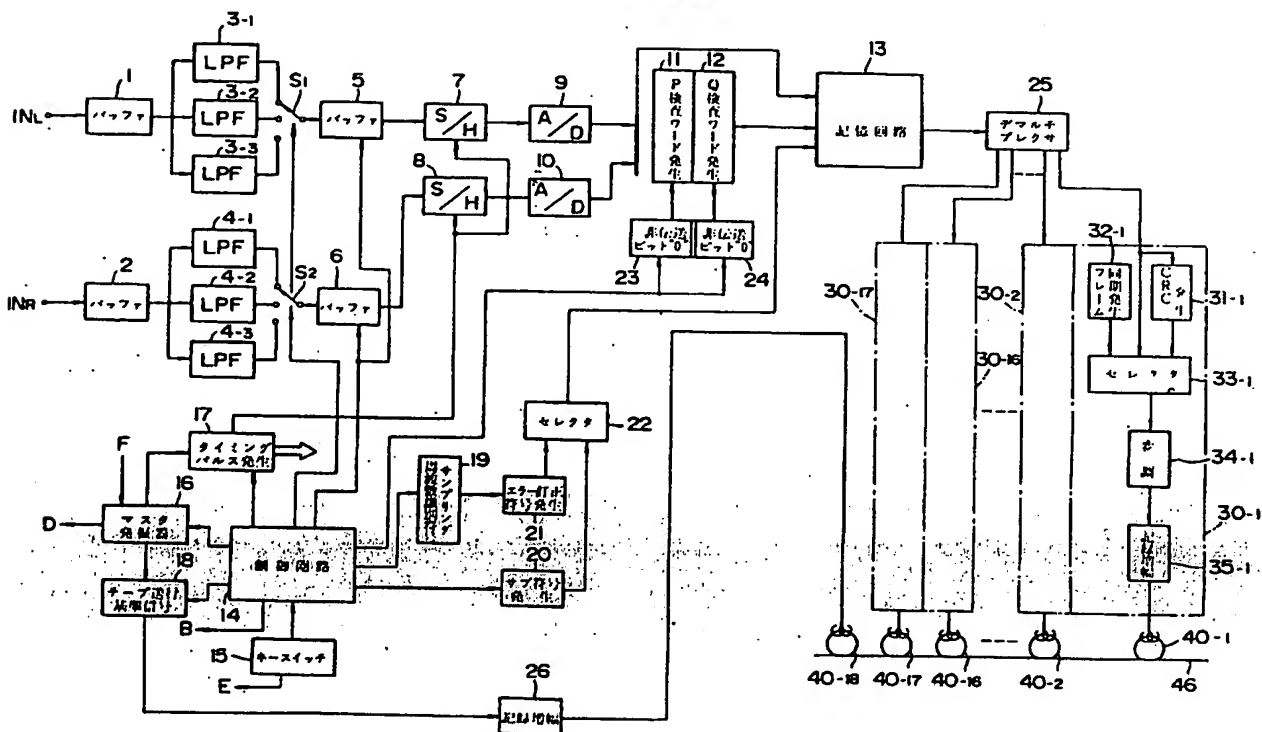
特許出願人

トリオ株式会社

代理人 井理士 砂子 信夫

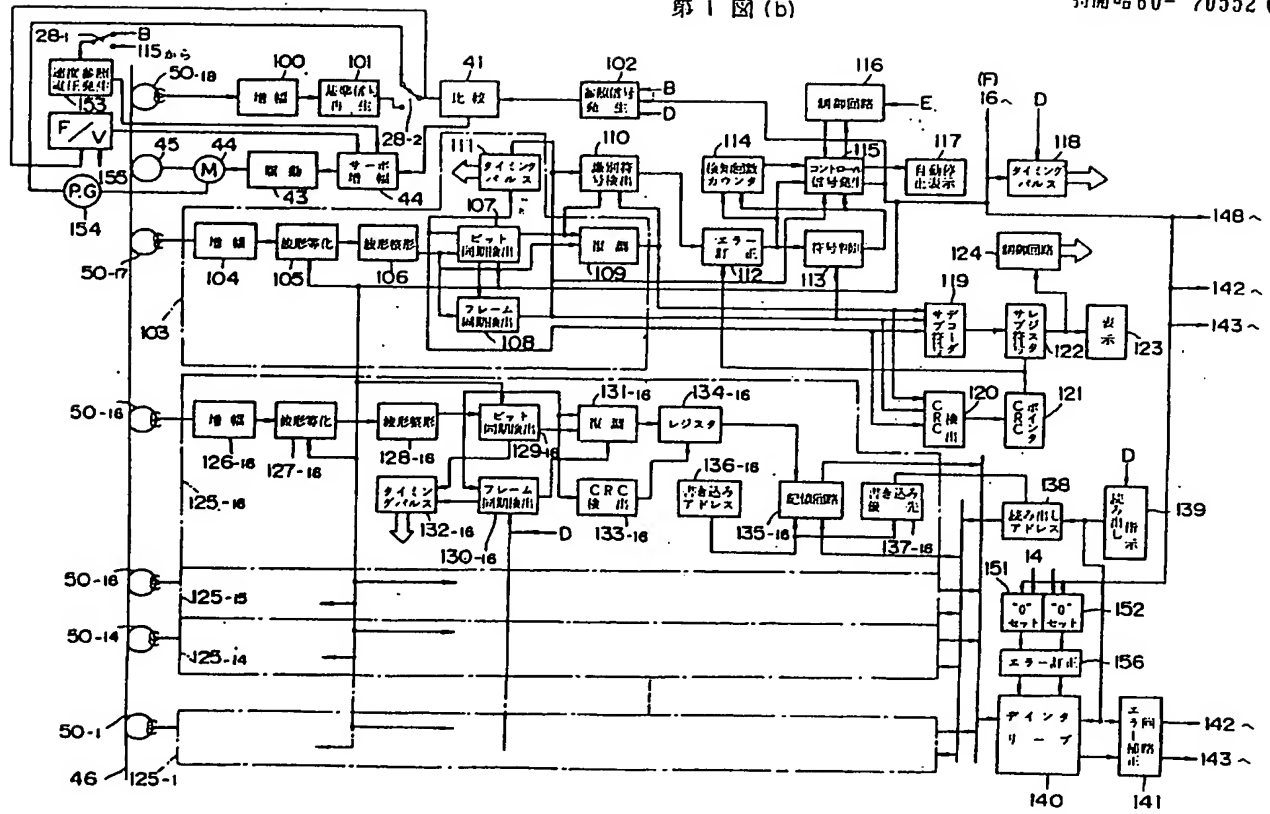
図面の抄写(内容に変更なし)

第1図(a)

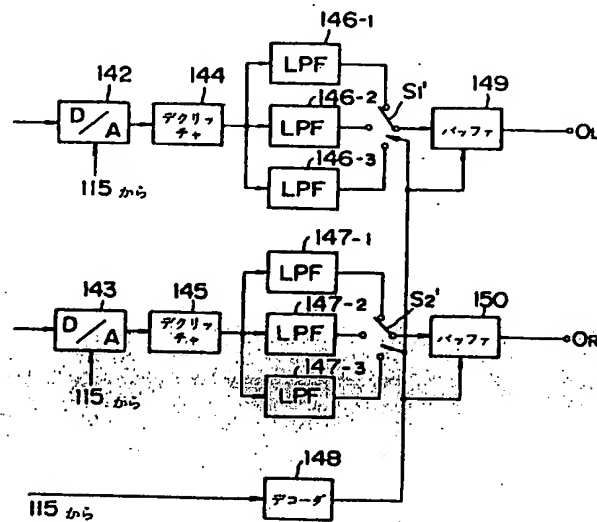


第 1 図 (b)

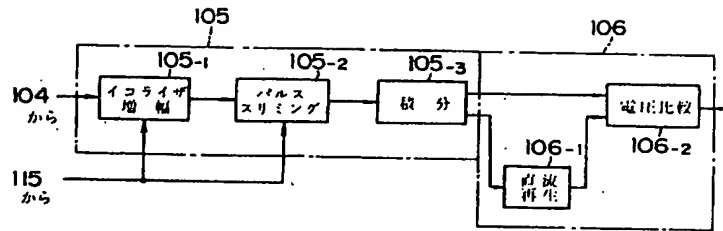
特開昭 60- 70552 (18)



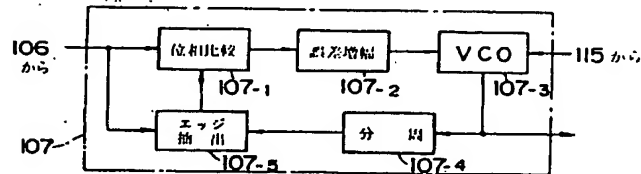
第 1 図 (c)



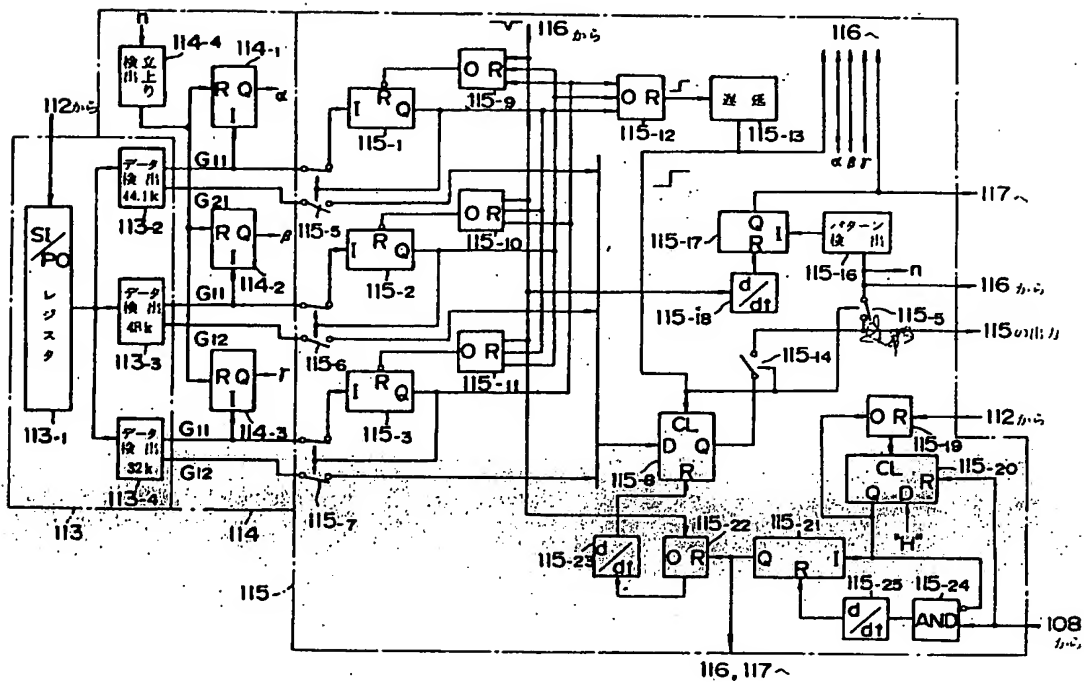
第 2 図



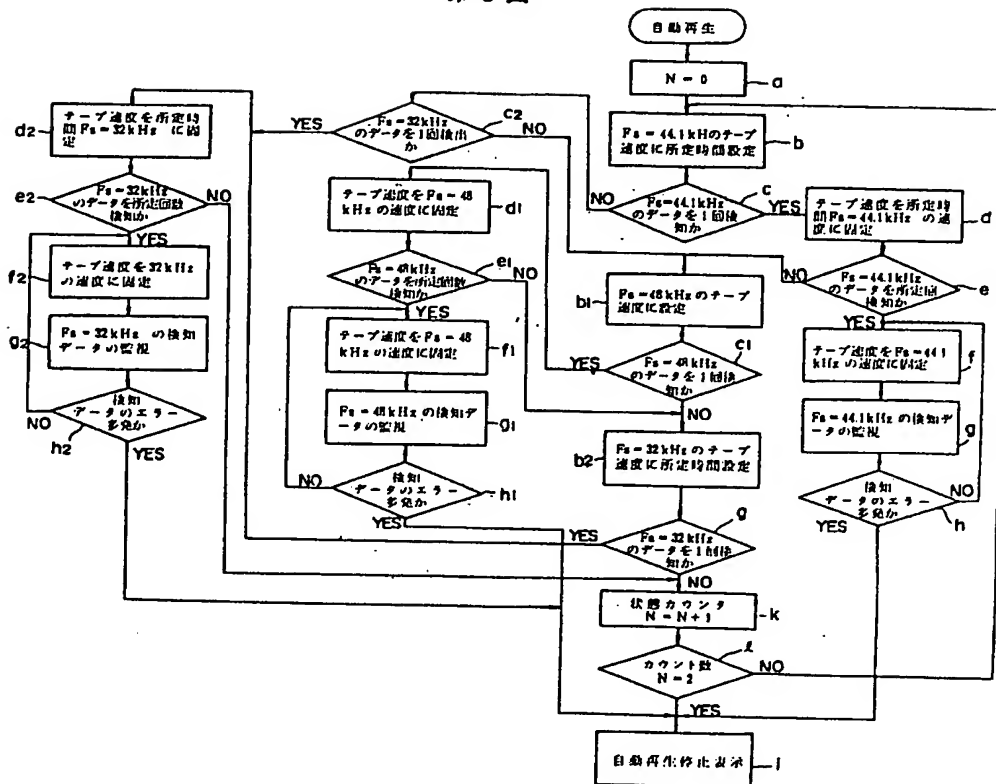
第 3 図



第 4 図



第5図



手続補正書

昭和58年11月2日

特許庁長官 若杉和夫 殿

1. 事件の表示

昭和58年特許願第178989号

2. 発明の名称

磁気記録再生装置

3. 補正をする者

事件との関係 特許出願人

住所 東京都渋谷区渋谷2丁目17番5号

氏名 (359) トリオ株式会社

代表者 石坂 一 義

4. 代理人 〒107 電 498-1587

住所 東京都港区南青山5丁目9番15号

共同ビル(新青山)512号

氏名 弁護士(7827) 砂子 信夫

5. 補正命令の日付

自 発

6. 補正の対象

図 面

7. 補正の内容

図面の第1図(a)、第1図(b)、第1図(c)、第2図、第3図、第4図および第5図を添付の通り(内容に変更はなくトレーニングペーパーに描いたもの)補正します。

以 上

手続補正審

7. 補正の内容

昭和59年10月6日

図面の第1図(b)および第4図を添付の通り補正します。

特許庁長官 志賀 学 殿

以 上

1. 事件の表示

昭和58年特許願第178989号

2. 発明の名称

磁気記録再生装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都渋谷区渋谷2丁目17番5号

氏 名 (359)トリオ株式会社

代表者 石坂 一 義

4. 代理人 〒107 電 498-1587

住 所 東京都港区南青山5丁目9番15号

共同ビル(新青山)512号

氏 名 弁護士(7827)砂子 信 夫



5. 補正命令の日付

自 発

6. 補正の対象

図 面

方式  
審査

特許庁

第1図(b)

